

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-168954

⑬ Int.Cl.⁴

H 01 L 27/08
27/04
29/78

識別記号

1 0 2

庁内整理番号

6655-5F
Z-7514-5F

⑭ 公開 昭和61年(1986)7月30日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭60-9707

⑰ 出 願 昭60(1985)1月22日

⑱ 発 明 者 堀 稔 大阪市此花区島屋1丁目1番3号 住友電気工業株式会社
大阪製作所内

⑲ 発 明 者 井 田 次 郎 大阪市此花区島屋1丁目1番3号 住友電気工業株式会社
大阪製作所内

⑳ 出 願 人 住友電気工業株式会社 大阪市東区北浜5丁目15番地

㉑ 代 理 人 弁理士 玉島 久五郎

明 細 書

1. 発明の名称 半導体集積回路

2. 特許請求の範囲

MOSFETにより構成される半導体集積回路において、

ゲート酸化膜膜厚、ゲート長、ソース・ドレイン接合深さのそれぞれ大なるMOSFETで構成した入出力回路部と、

ゲート酸化膜膜厚、ゲート長、ソース・ドレイン接合深さのそれぞれ小なるMOSFETで構成した内部回路部と、

前記入出力回路部へ外部から高電圧の電源電圧を供給し、前記内部回路部へ前記高電圧の電源電圧を降圧して供給する電源部とを備えてなる半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はMOSFETからなる集積回路に関し、と

くに個々のMOSFETの微細化、薄膜化による高速化、高集積化に連する集積回路の構成に関するものである。

〔従来の技術〕

MOSFETからなる集積回路は、年々個々のMOSFETの微細化、薄膜化により高速化、高集積化の傾向にある。

〔発明が解決しようとする問題点〕

集積回路を構成する個々のMOSFETの微細化、薄膜化に伴ない、ゲート長の短縮によりパナシスル耐圧が低下し、ソース・ドレイン接合深さの短縮によりアバランシェ耐圧が低下するため、最大電源電圧が低下するという問題が起る。またゲート酸化膜の薄膜化により、ゲート酸化膜の絶縁耐圧が低下するため、最大入力電圧が低下するという問題が起る。

〔問題点を解決するための手段〕

本発明は従来の問題点を解決するため、集積回路のチップを入出力回路部と内部回路部に分け、入出力回路部はゲート酸化膜膜厚、ゲート長、ソ

ソース・ドレイン接合深さのそれぞれ大きなMOSFETで構成し、内部回路部はゲート酸化膜膜厚、ゲート長、ソース・ドレイン接合深さのそれぞれ小さなMOSFETで構成し、外部から供給する高い電源電圧を、入出力回路部へはそのまま供給し、内部回路部へはツェナダイオードなどにより電圧降下させて供給することを特徴としている。

〔作用〕

本発明は、動作速度および集積度を大きく左右する内部回路部を微細なMOSFETで構成しているため、集積回路全体としては高遠高集積度を有し、入出力回路部はゲート酸化膜の膜厚が厚く、ゲート長、ソース・ドレイン接合深さの大きいMOSFETで構成しているため、電源電圧を高くでき、内部回路部へは、高い電源電圧をツェナダイオードなどで電圧降下させて供給するので微細MOSFETの耐圧を越えない。以下図面により詳細に説明する。

〔実施例〕

第1図は本発明のMOSFETからなる集積回路チップ10の構成の一実施例の概要図である。1が

	ゲート長 (μm)	ゲート酸化膜膜厚 (μm)	ソース・ドレイン接合 深さ (μm)
入出力回路部 MOSFET	5	0.1	2.5
内部回路部 MOSFET	5	0.05	0.5

本実施例の集積回路を製造する方法、すなわち2種のMOSFETを同時に製造する方法を次に例示する。

ゲート長は、フォトマスクのパターン設計により容易に達成できる。

ゲート酸化膜膜厚は、多数回ゲート酸化を繰り返すことにより達成できる。すなわち、入出力回路部MOSFETは、多数回の酸化の積算の膜厚が得られ、内部回路部MOSFETは、各酸化ごとにゲート酸化膜をフォトリソグラフィ技術によりエッチングすることにより、最終回のゲート酸化で得られる膜厚のみとなる。

ソース・ドレイン接合深さは、入出力回路部の

入出力回路部で、2が内部回路部である。第1図に示すように、集積回路チップ10を入出力回路部1と内部回路部2に分け、入出力回路部1はゲート酸化膜が厚く、ゲート長が長く、ソース・ドレイン接合深さの深いMOSFETで構成し、内部回路部2はゲート酸化膜が薄く、ゲート長が短かく、ソース・ドレイン接合深さの浅いMOSFETで構成する。

本発明の集積回路への電源供給は、第2図に要部構成を示すように、入出力回路部1を動作させる電源電圧は、外部からガンディングパッド3を介して高い電圧 V_0 をそのまま供給し、内部回路部2を動作させる電源電圧は、入出力回路部1に供給する電源電圧 V_0 を集積回路内部20に組込んだたとえばツェナダイオード4-1~4-nにより降圧して供給する。

次に本発明の具体的実施例を示す。N型MOSFETからなるNMOS集積回路を次表に示すMOSFETにより構成した。

MOSFETのドーパントとしてP(磷)を、内部回路部のMOSFETのドーパントとして A_2 (砒素)を用いることにより達成できる。

〔発明の効果〕

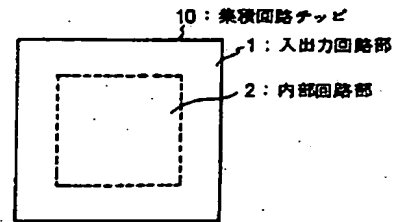
以上述べたように本発明の半導体集積回路は、MOSFETから構成される集積回路を入出力回路部と内部回路部に分け、動作速度および集積度を大きく左右する内部回路部は微細なMOSFETにより構成することから、集積回路全体として高遠高集積度を有している。また入出力回路部は、ゲート酸化膜の膜厚を厚くしておき、ゲート長、ソース・ドレイン接合深さの大きいMOSFETで構成することから、高い電源電圧で動作させることができ、内部回路部へは、入出力回路部へ供給する高い電源電圧を、集積回路内部に組込んだツェナダイオードで降圧して供給するので、微細MOSFETの耐圧を越えることがない。上述の利点を備えた本発明の半導体集積回路はMOSFETからなる半導体集積回路全般に適用して効果が大きい。

4. 図面の簡単な説明

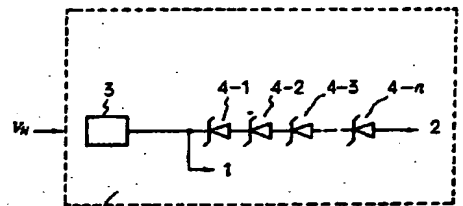
第1図は本発明の半導体集積回路チップの構成の一実施例の概要図、第2図は本発明の半導体集積回路への電源供給部の要部構成図である。

10 - 集積回路チップ、1 - 入出力回路部、
2 - 内部回路部、3 - ボンディングパッド、
4-1 ~ 4-n - ツェナダイオード、 V_W - 電源電圧

第 1 図



第 2 図



20: 集積回路内部

3: ボンディングパッド

4-1 ~ 4-n: ツェナダイオード

V_W : 電源電圧